



(19)

(11) Publication number: 05251712 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04050206

(51) Intl. Cl.: H01L 29/788 H01L 29/792 H01L 27/115

(22) Application date: 09.03.92

(30) Priority:
 (43) Date of application publication: 28.09.93
 (84) Designated contracting states:

(71) Applicant: NEC CORP
 (72) Inventor: GOTO YOSHIRO
 (74) Representative:

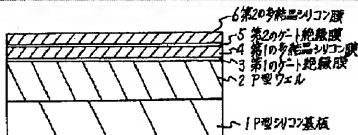
(54) MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY

(57) Abstract:

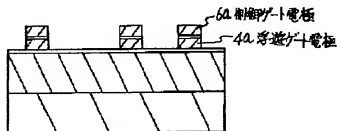
PURPOSE: To promote the reliability of electric-charge retention without performing an ion implantation in the silicon oxide film on the floating gate side face of a nonvolatile semiconductor memory.

CONSTITUTION: After a silicon oxide film 8 is formed on the side faces of a control gate electrode 6a and floating gate electrode 4a, an insulating spacer 14 is formed on the side faces. N-type impurity is ion-implanted in a state where the silicon oxide film 8 is protected by the use of the insulating spacer 14 and a double gate electrode constituent are used as masks. After that, the introduced impurity is diffused by heat treatment so that the diffused source and drain layers of EPROM are formed.

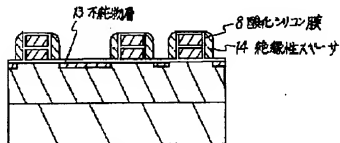
COPYRIGHT: (C)1993 JPO&Japio



(a)



(b)



(c)

特開平5-251712

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁴

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

27/115

H 0 1 L 29/ 78 3 7 1

27/ 10 4 3 4

8728-4M

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-50206

(22)出願日 平成4年(1992)3月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 後藤 啓郎

東京都港区芝五丁目7番1号日本電気株式会社内

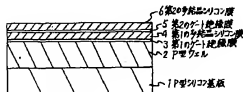
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

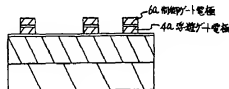
(57)【要約】

【目的】 不揮発性半導体記憶装置の浮遊ゲート側面の酸化シリコン膜にイオン注入を行わず、電荷保持の信頼性を高める。

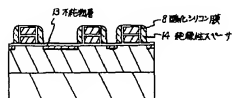
【構成】 制御ゲート電極6a、浮遊ゲート電極4aの側面に酸化シリコン膜8を形成させた後、絶縁性スペーサ14を形成する。この絶縁性スペーサ14、二重ゲート電極構成体をマスクにして酸化シリコン膜8を保護した状態でN型不純物をイオン注入する。その後導入した不純物を熱処理により拡散させEPROMのソース拡散層ドレイン拡散層を形成する。



(a)



(b)



(c)

【特許請求の範囲】

【請求項1】 一導電型半導体基板上に、第1のゲート絶縁膜、浮遊ゲート電極、第2のゲート絶縁膜及び制御ゲート電極から構成される二重ゲート電極を形成する工程と、前記二重ゲート電極の側面に第1の絶縁膜を形成する工程と、前記二重ゲート電極の側面の絶縁膜を覆うマスクを形成する工程と、前記マスク及び前記二重ゲート電極をマスクとして、前記半導体基板上に逆導電型の不純物を導入する工程と、熱処理により前記不純物導入領域を拡大させて拡散層を形成し、前記拡散層をソース及びドレインとする工程を含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 第2の絶縁膜を堆積し異方性エッチングを行なって前記二重ゲート電極の第1の絶縁膜で覆われた側面に絶縁性スペーサをマスクとして形成する請求項1記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性半導体記憶装置の製造方法に関し、特にSGMOS（スタックド・ゲート型MOS）メモリで構成される消去可能不揮発性半導体記憶装置（以下EPROMと呼ぶ）の製造方法に関する。

【0002】

【従来の技術】 最近この種のEPROM集積回路装置の集積度の向上はめざましく、4Mビットのものまで市場に提供されている。この高集積化に伴い、データ保持（浮遊ゲート中の電荷の保持）の信頼性向上の要求も高まっている。このため、浮遊ゲートを覆う絶縁酸化膜質を向上させる必要がある。

【0003】 従来のEPROMセルの製造方法を図4、図5を参照して説明する。まず、図4（a）のようにP型シリコン基板1の表面にPウェル2を形成する。次に通常のLOCOS法により、図示しないフィールド酸化膜を形成する。ついで基板の活性領域上に、熱酸化法により、第1のゲート絶縁膜3を形成した後、第1の多結晶シリコン膜4を所定の位置に形成する。次に第2のゲート絶縁膜5を形成した後、気相成長法により、第2の多結晶シリコン膜6を形成する。次に図4（b）のようにフォトリソ膜7を所定の位置に形成した後、これをマスクとして、第2の多結晶シリコン膜をエッチング除去して制御ゲート電極（ワード線）6aを形成し、ついで第2のゲート絶縁膜をエッチング除去し、さらに第1の多結晶シリコン膜もエッチング除去して浮遊ゲート電極4aを形成する。次に図4（c）のようにフォトリソ膜を除去し、熱酸化法により酸化シリコン膜8を形成した後、ヒ素のイオン注入を行い、ゲート電極とセルフ・アラインにドレイン拡散層9a、ソース拡散層9bを形成する。次いで図5（a）のように層間絶縁膜10を形成した後、ドレイン拡散上にコンタクト・ホール

11を形成する。次に図5（b）のようにアルミニウムをスパッタ法などにより形成し、パターンニングしてアルミニウム配線（ビット線）12を形成する。

【0004】

【課題を解決するための手段】 図1（a）～（c）のシリコンレイにおける制御ゲート電極（ワード線）や、アルミニウム配線（ビット線）には多数のセルが接続されているので、他のセルを書込むときに制御ゲート電極やドレイン拡散層に加えられる電圧により、浮遊ゲート電極中の負電荷が失なわれたり、正電荷が注入されたりする可能性がある。従って、このような電圧ストレスにより浮遊ゲート電極を含む酸化膜中に流れる電流はできる限り小さく押さえることが高信頼性の為に必要である。しかし浮遊ゲート側面を含む酸化シリコン膜8はヒ素のイオン注入にさらにさらされているため、電流が流れやすくなっている。一般に高ドーズヒ素イオン注入にさらされた酸化シリコン膜はイオン注入されない酸化シリコン膜より電流が流れやすい。図6には実験から得たこの現象を示すデータである。図6から明らかなように、ヒ素のイオン注入にさらされた膜は、イオン注入を受けない膜よりも同一電界ストレスに対し、電流が流れやすい。その為、EPROMセルにおいて、制御ゲート電極やドレインに高電圧が印加されると、浮遊ゲート電極中の電荷が、イオン注入にさらされた酸化シリコン膜8を通して散逸したり不必要に注入されたりしてデータが変化する可能性がある。このことはデータを保持するというEPROMの目的に反することであり、信頼性上問題がある。

【0005】

【課題を解決するための手段】 本発明の不揮発性半導体記憶装置の製造方法は、一導電型半導体基板上に、第1のゲート絶縁膜、浮遊ゲート電極、第2のゲート絶縁膜及び制御ゲート電極から構成される二重ゲート電極を形成する工程と、前記二重ゲート電極の側面に第1の絶縁膜を形成する工程と、前記二重ゲート電極の側面の絶縁膜を覆うマスクを形成する工程と、前記マスク及び前記二重ゲート電極をマスクとして、前記半導体基板上に逆導電型の不純物を導入する工程と、熱処理により前記不純物導入領域を拡大させて拡散層を形成し、前記拡散層をソース及びドレインとする工程を含むものである。

【0006】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0007】 図1（a）～（c）、図2（a）、（b）は本発明の第1の実施例のEPROMセルアレイの製造方法を説明するための工程順断面図である。

【0008】 まず図1（a）に示すようにP型シリコン基板1の表面にPウェル2を形成する。次に通常のLOCOS法により図示しないフィールド酸化膜を形成す

る。次いで、基板の活性領域上に第1のゲート絶縁膜3を形成した後、第1の多結晶シリコン膜4を形成し、次に第2のゲート絶縁膜5を形成し第2の多結晶シリコン膜6を形成する。

【0009】次に、図1(b)に示すようにフォトリソグレイストをマスクにして、第2の多結晶シリコン膜ないし第1の多結晶シリコン膜3を順次エッチング除去して、浮遊ゲート電極4a、制御ゲート電極6aを形成する。

【0010】その後、図1(c)に示すように、熱酸化法により二重ゲート電極に酸化シリコン膜8を形成する。次に、例えば酸化シリコン膜を気相成長法により基板全面に堆積し、適度な異方性エッチングを行うことにより、酸化シリコン膜8で覆れたゲート電極の側面に絶縁性スペーサ14を形成する。次いでヒ素をイオン注入して不純物層13を形成する。

【0011】その後図2(a)に示すように不純物層13を熱拡散させて、不純物層の端を、二重ゲート直下のチャンネル領域にまで拡げることでソース拡散層9a、ドレイン拡散層9bを形成する。その後は図2(b)にあるように従来の方法に従い、層間絶縁膜10、アルミニウム配線12を形成する。

【0012】以上の実施例にあるように、絶縁性スペーサとして酸化シリコン膜を用い、ヒ素のイオン注入を70keVほどで行った場合、90%のヒ素は60nm未満の深さまでしか注入されない。通常制御ゲート電極の厚さだけでも300nmほどはあるため注入されたヒ素は浮遊ゲート電極側面の酸化シリコン膜まで達することはほとんどあり得ない。すなわち、この方法により、浮遊ゲート電極側面の酸化シリコン膜8をヒ素のイオン注入から完全に保護することが可能となるので、図6で示したとおり、浮遊ゲート電極側面酸化シリコン膜の絶縁特性は各段に改善される。このことはEPROMのデータ保持特性を大幅に改善し、高信頼性を実現できることを意味する。

【0013】図3は、本発明の第2の実施例の説明に使用する断面図であり、第1の実施例の図1(c)に相当する。この実施例では二重ゲート電極側面に酸化シリコン膜を形成した後、フォトリソグラフィ工程により、二重ゲート電極をフォトリソ膜15で覆う。そして、このフォトリソ膜15をマスクとしてヒ素のイオン注入を行う。次にフォトリソ膜を除去した後、第1の実施例と同じ工程になる。本実施例では、第1の実施例のような酸化シリコン膜の絶縁性スペーサをマスクとして形成するよりも工程数を短縮できる、更に、絶縁性スペーサの幅を容易に制御できるという利点があ

る。

【0014】

【発明の効果】以上説明したように本発明は二重ゲート電極の側面の絶縁膜をマスクで保護してからドレイン拡散層、ソース拡散層形成のためのイオン注入を行うため、浮遊ゲート側面の絶縁膜にイオン注入はされない。それゆえ、従来のEPROMに比べて浮遊ゲート電極中の電荷保持の信頼性の高いEPROMを製造できるという効果がある。例えば、浮遊ゲート側面の酸化シリコン膜に加えられる電界が7MV/cm以下であれば図6から分るように、従来の方法に比べ、酸化シリコン膜中を流れる電流はほぼ1000分の1以下になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明に使用するため

(a)～(c)に分図して示す工程順断面図である。

【図2】本発明の第1の実施例の説明に示すため

(a)、(b)に分図して示す工程順断面図である。

【図3】本発明の第2の実施例の説明に使用する断面図である。

【図4】従来例の説明に使用するための(a)～(c)に分図して示す工程順断面図である。

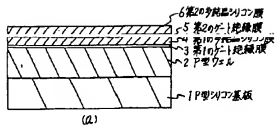
【図5】従来例の説明に使用するため(a)、(b)に分図して示す工程順断面図である。

【図6】酸化シリコン膜の絶縁性のヒ素注入による劣化を示すグラフである。

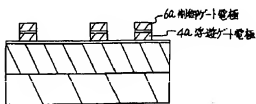
【符号の説明】

- 1 P型シリコン基板
- 2 Pウェル
- 3 第1のゲート絶縁膜
- 4 第1の多結晶シリコン膜
- 4a 浮遊ゲート電極
- 5 第2のゲート絶縁膜
- 6 第2の多結晶シリコン膜
- 6a 制御ゲート電極
- 7 フォトリソ膜
- 8 酸化シリコン膜
- 9a ソース拡散層
- 9b ドレイン拡散層
- 10 層間絶縁膜
- 11 コンタクトホール
- 12 アルミニウム配線
- 13 不純物層
- 14 絶縁性スペーサ
- 15 フォトリソ膜

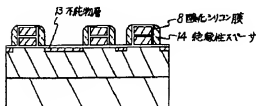
【図1】



(a)

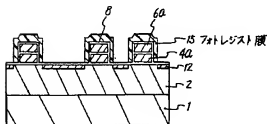


(b)

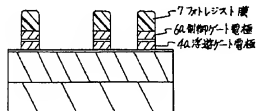


(c)

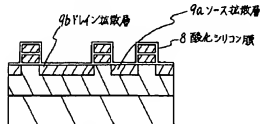
【図3】



(b)

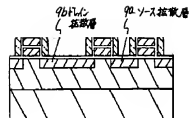


(b)

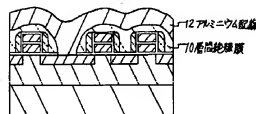


(c)

【図2】

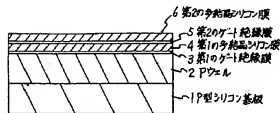


(a)

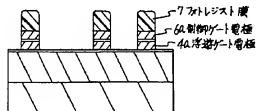


(b)

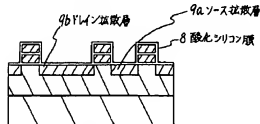
【図4】



(a)

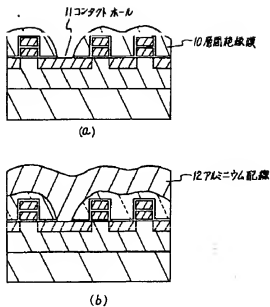


(b)



(c)

【図5】



【図6】

